

102年公務人員特種考試警察人員考試、
102年公務人員特種考試一般警察人員考試及
102年特種考試交通事業鐵路人員考試試題

代號：70850
70950

全一張
(正面)

等 別：高員三級鐵路人員考試
類 科：電力工程、電子工程
科 目：電子學
考試時間：2小時

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

一、NMOS 電晶體之 I_D 式如下：

(1)三極體區 (Triode region) 時：
$$I_D = k'_n \left(\frac{W}{L} \right) \left[(V_{GS} - V_t) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

(2)飽和區 (Saturation region) 時：
$$I_D = \frac{1}{2} k'_n \left(\frac{W}{L} \right) (V_{GS} - V_t)^2$$

如圖一電路，其 NMOS 電晶體之 $k'_n \left(\frac{W}{L} \right) = 1 \text{ mA/V}^2$ ， $V_t = 1 \text{ V}$ ，

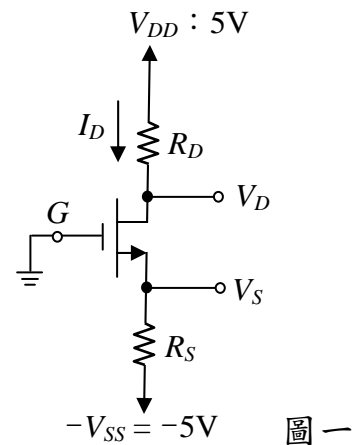
試設計此電路 (即求 R_D 、 R_S 的值)，使 $I_D = 2 \text{ mA}$ ， $V_D = 2 \text{ V}$ ：

(一)求 R_D 之值；(5分)

(二)求 V_S 之值；(5分)

(三)求 R_S 之值；(5分)

(四)求電晶體之小訊號參數 g_m 之值。(5分)



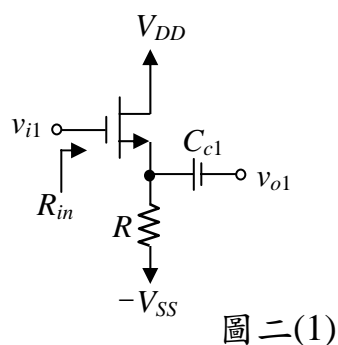
二、如圖二(1)及圖二(2)所示的源極追隨器 (Source-follower) 及共閘 (Common-gate) 放大器，設各電晶體均已適當偏壓，其 $g_m = 5 \text{ mA/V}$ ， $r_o \rightarrow \infty$ 。又電阻 $R \gg 1/g_m$ ， $R_D = 6 \text{ k}\Omega$ ， $R_L = 4 \text{ k}\Omega$ ，

(一)求圖二(1)源極追隨器的電壓增益 $A_{v1} \equiv v_{o1}/v_{i1}$ 及輸入電阻 R_{in} 的值，此時取 $C_{c1} \rightarrow \infty$ 。(5分)

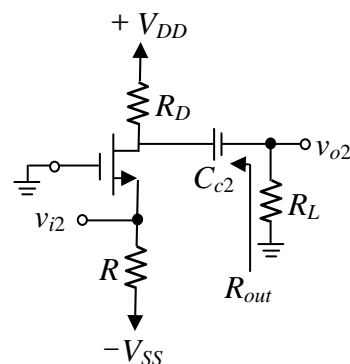
(二)求圖二(2)共閘放大器的電壓增益 $A_{v2} \equiv v_{o2}/v_{i2}$ 及輸出電阻 R_{out} (不含 R_L) 的值，此時取 $C_{c2} \rightarrow \infty$ 。(5分)

(三)若將源極追隨器之輸出端接至共閘放大器之輸入端，而形成一個兩級放大器，則此兩級放大器之第 1 級與第 2 級之電壓增益分別為多大？又此兩級放大器之整體電壓增益有多大？此時仍視 C_{c1} 與 C_{c2} 為 ∞ 。(5分)

(四)此兩級放大器在低頻之 -3 dB 頻率主要由那一個電容 (C_{c1} 或 C_{c2}) 來決定？若要將該低頻之 -3 dB 頻率設定為 100 Hz，則該電容至少應多大？(5分)



圖二(1)



圖二(2)

(請接背面)

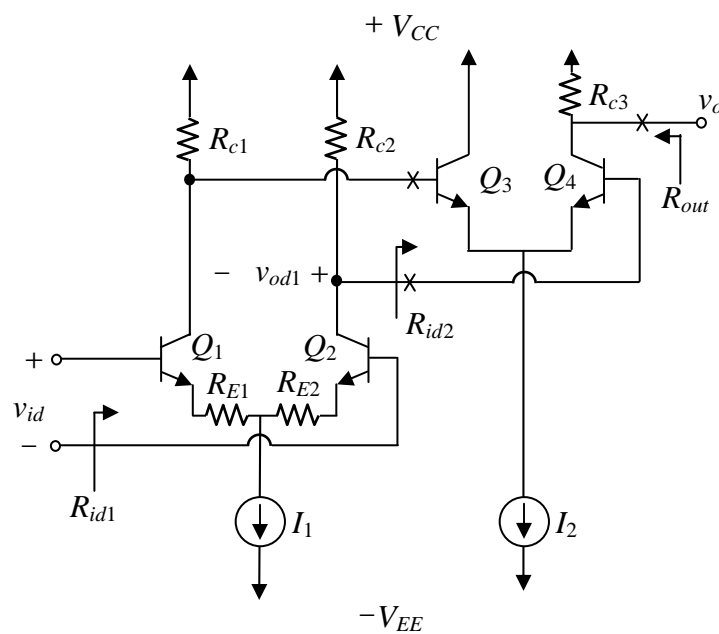
102年公務人員特種考試警察人員考試、
102年公務人員特種考試一般警察人員考試及
102年特種考試交通事業鐵路人員考試試題

代號：70850
70950

全一張
(背面)

等 別：高員三級鐵路人員考試
類 科：電力工程、電子工程
科 目：電子學

- 三、如圖三的兩級差動放大器，各電晶體具有相同特性，其 $\beta = 49$ ， $r_o \rightarrow \infty$ ； $R_{c1} = R_{c2} = 5 \text{ k}\Omega$ ， $R_{E1} = R_{E2} = 100 \Omega$ ， $R_{c3} = 2 \text{ k}\Omega$ ；電流源 $I_1 = 0.5 \text{ mA}$ ， $I_2 = 1.25 \text{ mA}$ 。取熱電壓 $V_T = 25 \text{ mV}$ 。
- (一)求第一級的輸入電阻 R_{id1} ，第二級的輸入電阻 R_{id2} ，及輸出電阻 R_{out} 之值。(12分)
- (二)求第一級的差動電壓增益 $A_{v1} = v_{od1} / v_{id}$ ，及此差動放大器之整體電壓增益 $A_v = v_o / v_{id}$ 之值。(提示：各電晶體之 $\alpha = \frac{\beta}{\beta+1} = \frac{49}{50} = 0.98$)。(8分)



圖三

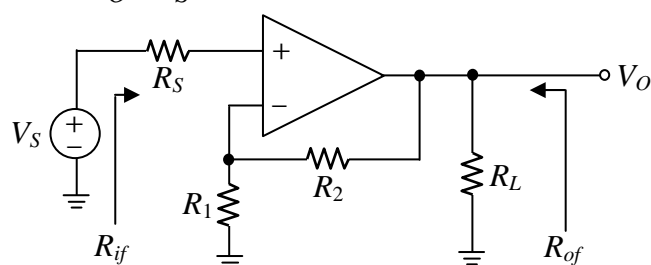
四、試繪一 CMOS 邏輯閘電路，使其輸出 Y 的布林邏輯函數為：

- (一) $Y = \overline{A(B+CD)}$ ；(10分)
- (二) $Y = \overline{A+B(C+D)}$ 。(10分)

該 CMOS 邏輯閘電路包含一由 NMOS 電晶體構成的拉下網路 (Pull-down network)，及一由 PMOS 電晶體構成的拉上網路 (Pull-up network)。

五、如圖四所示為一由 op amp (運算放大器) 所構成的電路，該 op amp 之開迴路增益 (open-loop gain) 為 μ ，差動輸入電阻為 R_{id} ，輸出電阻為 r_o 。又 $R_s = 20 \text{ k}\Omega$ ， $R_L = 4 \text{ k}\Omega$ ， $R_1 = 2 \text{ k}\Omega$ ， $R_2 = 2 \text{ M}\Omega$ 。

- (一)若該 op amp 為理想的，即 $\mu \rightarrow \infty$ ， $R_{id} \rightarrow \infty$ ， $r_o \rightarrow 0$ ；求此電路的輸入電阻 R_{if} ，輸出電阻 R_{of} ，及電壓增益 V_o / V_s 分別為多大？(8分)
- (二)若該 op amp 的 $\mu = 2 \times 10^4 \text{ V/V}$ ， $R_{id} = 200 \text{ k}\Omega$ ， $r_o = 2 \text{ k}\Omega$ ，求此電路的輸入電阻 R_{if} ，輸出電阻 R_{of} ，及電壓增益 V_o / V_s 分別為多大？(12分)



圖四