

等 別：高等考試

類 科：專利師（選試專業英文及電子學）、專利師（選試專業日文及電子學）

科 目：電子學

考試時間：2 小時

座號：_____

※注意：(一)可以使用電子計算器。

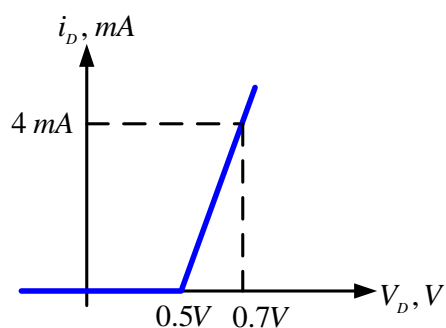
(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)計算題答案如有小數，請四捨五入到第二位。

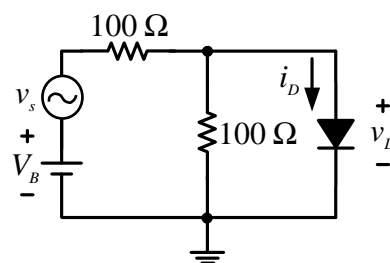
一、圖一(a)為二極體之片段式線性模型（piecewise linear model），二極體之順向導通電壓為 0.5 V ，於跨壓 0.7 V 時，電流為 4 mA 。若於圖一(b)電路輸入一弦波信號 $v_s = 0.2\cos\omega t\text{ V}$ ，且 $V_B = 2\text{ V}$ 。計算：

(一)二極體之順偏小信號等效電阻(r_D)。(6 分)

(二)通過二極體之電流 i_D 與二極體之跨壓 v_D 。(14 分)



圖一(a)

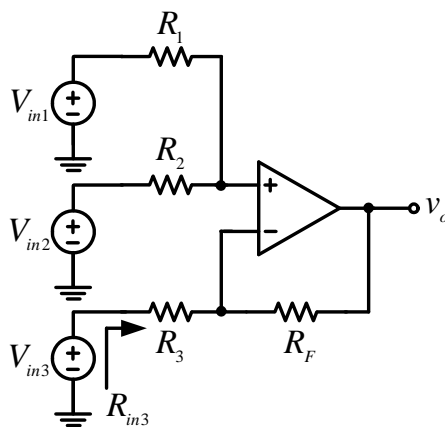


圖一(b)

二、圖二為一個理想運算放大器（operational amplifier）所構成之加權加/減法器（weighted summer/subtractor）。其中 $R_1 = 1\text{ k}\Omega$ 、 $R_2 = 2\text{ k}\Omega$ 、 $R_3 = 3\text{ k}\Omega$ 、與 $R_F = 6\text{ k}\Omega$ 。計算：

(一)以輸入電壓 V_{in1} 、 V_{in2} 、與 V_{in3} 表示之輸出電壓 v_o 。(15 分)

(二)由 V_{in3} 看到之輸入電阻 R_{in3} 。(5 分)



圖二

(請接第二頁)

等 別：高等考試

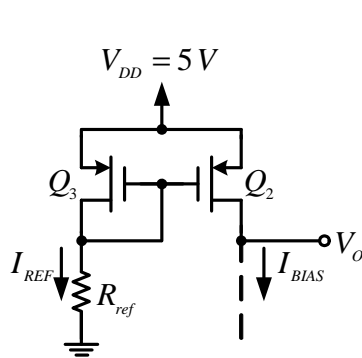
類 科：專利師（選試專業英文及電子學）、專利師（選試專業日文及電子學）

科 目：電子學

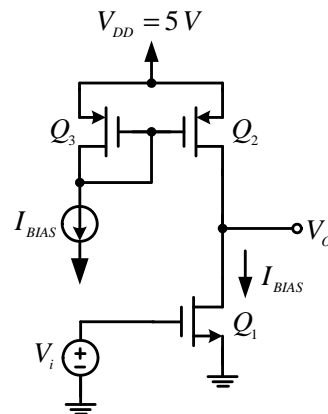
三、圖三(a)為一電流鏡偏壓電路， Q_2 、 Q_3 為完全匹配之 PMOS 電晶體，其寬長比 $(W/L) = 200$ 、臨界電壓 $V_{tp} = -1 \text{ V}$ 、 $\mu_p C_{ox} = 25 \mu\text{A}/\text{V}^2$ 。

(一)若需要偏壓電流 $I_{BIAS} = 0.1 \text{ mA}$ ，計算所需之電阻 R_{ref} 值為何？（5分）（為簡化計算，忽略 PMOS 電晶體之 channel length modulation 效應，即 $|V_{Ap}|$ 為無窮大。）

(二)以前述之偏壓電流 $I_{BIAS} = 0.1 \text{ mA}$ 使用於圖三(b)之共源極(CS)放大器。NMOS 電晶體 Q_1 之寬長比 $(W/L) = 100 \mu\text{m}/1.8 \mu\text{m}$ 、 $\mu_n C_{ox} = 90 \mu\text{A}/\text{V}^2$ 、 $V_{An} = 20 \text{ V}$ 、 $C_{gs1} = 0.2 \text{ pF}$ 、 $C_{gd1} = 0.05 \text{ pF}$ 、輸出負載電容 $C_L = 0.1 \text{ pF}$ ， Q_2 之 $|V_{Ap}| = 20 \text{ V}$ 。為簡化計算，忽略輸入信號產生器的電阻，各節點之直流位準均視為理想值。計算低頻增益、極點頻率 f_p 、零點頻率 f_z 。（15分）



圖三(a)

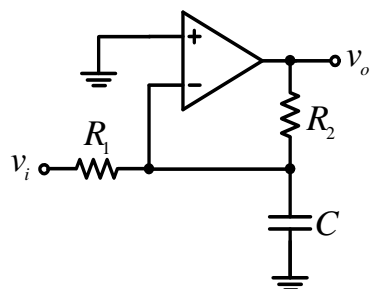


圖三(b)

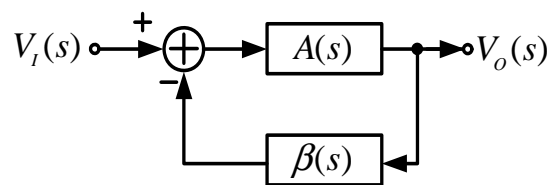
四、圖四(a)為一個運算放大器所構成之回授放大器，其信號流程模型如圖四(b)所示。

(一)假設運算放大器為一理想運算放大器，以 R_1 、 R_2 表示直流增益 (DC gain) v_o/v_i 與以 R_1 、 R_2 、 C 與 s 表示回授因子 $\beta(s)$ 。（8分）

(二)假設運算放大器之開回路增益 $A(s)$ 具 10 rads/s 之轉角頻率 (corner frequency, ω_c) 與 10^6 rads/s 的單一增益頻率 (unity-gain frequency, ω_t)，使用 $R_1 = 10 \text{ k}\Omega$ 、 $R_2 = 90 \text{ k}\Omega$ 與 $C = 1.11 \text{ nF}$ 。請計算放大器之低頻開回路增益 A_0 ，並畫出回路增益 $L(j\omega) = A(j\omega)\beta(j\omega)$ 之振幅 (以 dB 為單位) 與相位 (以 degree 為單位) 之波德圖 (Bode plot) (橫軸以 ω 為單位)。（12分）



圖四(a)



圖四(b)

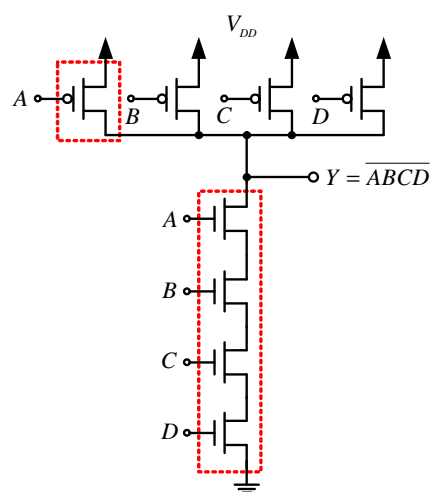
(請接第三頁)

等 別：高等考試

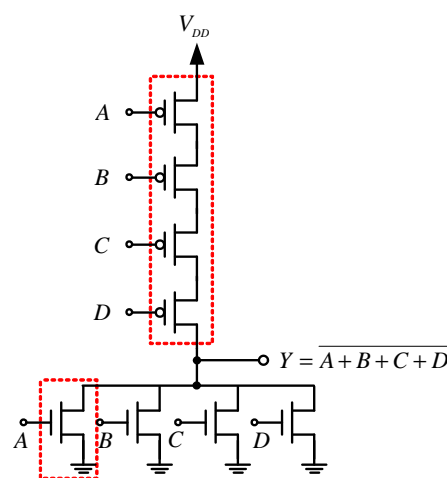
類 科：專利師（選試專業英文及電子學）、專利師（選試專業日文及電子學）

科 目：電子學

五、圖五(a)、(b)分別為四輸入之 Complementary CMOS 反及閘 (NAND gate) 與反或閘 (NOR gate) 邏輯電路。此類邏輯電路由 pull-up network (PUN) 與 pull-down network (PDN) 構成，其最適當之寬長比設計，為 PUN 與 PDN 導通之電路均等效一個基本反相器 (basic inverter) (如虛線框內電路)。若以 n 與 p 分別代表 NMOS 與 PMOS 之寬長比 (W/L)，且 $p = 3n$ ，計算 NAND gate 與 NOR gate 邏輯電路以 n 為單位之總面積分別為何？(20 分)



圖五(a)



圖五(b)