

等 別：三等考試
類 科：電子工程
科 目：半導體工程
考試時間：2小時

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

(三)本科目除專門名詞或數理公式外，應使用本國文字作答。

一、請回答下列問題：

- (一)製作半導體元件時為何須選擇正確的 Si 晶圓結晶面與結晶方向？其對元件特性會有什麼影響？請舉例說明。(15分)
- (二)當太陽電池所在的環境溫度自 300 K 上升至 400 K 時，此太陽電池輸出的電力會增加或是減少？為什麼？(10分)

二、有一金-半二極體 (M-S diode)，設半導體端內部之雜質濃度呈線性漸變 (linearly graded)，即 $N_D = ax$ ，其中 a 為製程參數，試求：

- (一)利用空乏近似法 (depletion approximation method) 求出此二極體半導體端內部之電荷密度 $\rho(x)$ ，電場強度 $\varepsilon(x)$ ，以及空乏區的寬度 $W(V_A)$ (depletion width)。(15分)
- (二)利用(一)的結果求出此金-半二極體之小信號電容 (small signal capacitance) 為何？(10分)

三、請回答下列問題：

- (一)在 MOS 元件中，其氧化層內或氧化層與 Si 的介面處通常都會存在某些缺陷電荷 (defect charge)，例如氧化陷阱電荷 (oxide trapped charge)、可移動離子電荷 (mobile ion charge)、固定電荷 (fixed charge) 或介面陷阱電荷 (interface trapped charge) 等。試說明上述缺陷電荷之由來，並畫一金氧半 (metal/SiO₂/Si) 的結構圖，標出上述四種缺陷電荷所在的位置。(15分)
- (二)設有 NMOS 元件與 PMOS 元件各一個，它們的閘極氧化層 (gate oxide) 中同樣都存在有 10^{11} cm^{-2} 的可移動離子電荷，現將此兩元件同置放在高溫中啟動 (turned on) 數個小時，試問那一個元件的臨界電壓受影響會較大？並說明理由。(10分)

四、設有一理想的 Si MOS 電容，維持在 $T=300\text{ K}$ ，其元件相關參數如下

1. 閘極材料為 p+ 多晶矽（其功函數 $\Phi_B=5.2\text{ eV}$ ）

2. 基板為 n 型矽且雜質摻雜濃度 N_D 為 10^{18} cm^{-3}

3. SiO_2 的厚度 $x_{\text{ox}}=2\text{ nm}$

試求：

(一) 此 MOS 電容的平帶電壓（flat-band voltage）， V_{FB} 為何？（10 分）

(二) 此 MOS 電容的臨界電壓（threshold voltage）， V_T 為何？（10 分）

(三) 若此 MOS 電容的基板摻雜量 N_D 減少為 10^{17} cm^{-3} 時，其臨界電壓會有何變化？並說明理由。（5 分）